

## ⑫ 公開特許公報(A)

平3-98317

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月23日

H 03 M 1/78

9065-5J

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 D/A変換器の抵抗ラダー

⑯ 特 願 平1-234614

⑰ 出 願 平1(1989)9月12日

⑱ 発 明 者 池 田 博 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社  
内⑲ 発 明 者 村 上 浩 一 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社  
内

⑳ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

㉑ 代 理 人 弁理士 三好 秀和 外1名

## 明 細 書

## 1. 発明の名称

D/A変換器の抵抗ラダー

## 2. 特許請求の範囲

抵抗分圧を用いてディジタル入力に対応したアナログ量を出力する抵抗分圧型のD/A変換器の抵抗ラダーであって、

第2導電形の半導体基板の主面に形成された第1導電形ウェルと、

該第1導電形ウェル内に形成された第2導電形の拡散層抵抗からなり、その一端と他端との間に加えられた所定の電圧を所要の複数個に抵抗分圧する第1の抵抗ラダー部と、

前記半導体基板の主面に形成された第1導電形の拡散層抵抗からなり、その一端と他端との間に加えられる前記所定の電圧と同一の電圧を抵抗分圧し、この分圧点のうち少なくとも分圧中間点が前記第1の抵抗ラダー部の分圧中間点に接続された第2の抵抗ラダー部と

を有することを特徴とするD/A変換器の抵抗

ラダー。

## 3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、抵抗分圧型のD/A変換器の抵抗ラダーに関する。

(従来の技術)

従来の抵抗分圧型のD/A変換器の抵抗ラダーとしては、例えば第4図に示すようなものがある。抵抗ラダーには、他にR-2R型等のものがあるが、抵抗分圧型のものは単調性に優れているため、4~8ビット程度のビット数の余り多くないD/A変換器によく用いられている。

抵抗分圧型の抵抗ラダーは、抵抗値の等しい複数の抵抗1を直列接続した抵抗鎖10でnビットのディジタル量に対し基準電圧としての所定の電圧VDDを2<sup>n</sup>個に抵抗分圧し、その各分圧点である出力端子3-1、3-2、…、3-nにディジタル入力に対応したアナログ量が出力されるようになっている。

上記の抵抗値10が、半導体基板上に作られる場合は、第5図に示すように、n形半導体基板4の主面にpウェル5が形成され、このpウェル5中のn<sup>+</sup>拡散層抵抗6により、その抵抗値10が作られる例が多い。n<sup>+</sup>拡散層抵抗6の一端に電圧VDDが加えられ、他端は低電位点(接地)に接続されている。pウェル5は接地されていてn<sup>+</sup>拡散層抵抗6をpn接合分離するとともに、そのn<sup>+</sup>拡散層抵抗6とn形半導体基板4の間のシールドとして機能し、ノイズ結合を少なくするようにしている。

しかし、n<sup>+</sup>拡散層抵抗6とpウェル5の間は、上述のように逆バイアスされたpn接合で分離されているので、n<sup>+</sup>拡散層抵抗6側とpウェル5側にそれぞれ空乏層が伸びる。このうち、特に、n<sup>+</sup>拡散層抵抗6側への空乏層の伸びは、直接、抵抗1の抵抗値の変化となり、抵抗値10の各出力端子3-1、3-2、…、3-nからの抵抗分圧出力の精度が落ちる。ここで、各抵抗1による正確な電圧分圧値はVDD/2<sup>n</sup>である。

- 3 -

半導体基板上の拡散層抵抗で作られた従来のD/A変換器の抵抗ラダーにあっては、空乏層による影響及び製造工程によるばらつき等により、抵抗分圧の精度が落ちるという問題があった。

そこで、この発明は、空乏層による影響及び製造工程によるばらつき等を減少させて抵抗分圧の精度を上げることができるD/A変換器の抵抗ラダーを提供することを目的とする。

#### 〔発明の構成〕

(課題を解決するための手段)

この発明は上記課題を解決するために、抵抗分圧を用いてデジタル入力に対応したアナログ量を出力する抵抗分圧型のD/A変換器の抵抗ラダーであって、第2導電形の半導体基板の主面に形成された第1導電形ウェルと、該第1導電形ウェル内に形成された第2導電形の拡散層抵抗からなり、その一端と他端との間に加えられた所定の電圧を所要の複数個に抵抗分圧する第1の抵抗ラダー部と、前記半導体基板の主面に形成された第1導電形の拡散層抵抗からなり、その一端と他端と

n<sup>+</sup>拡散層抵抗6側の空乏層厚さWnは近似的に次式で与えられる。

$$Wn \approx \sqrt{2\varepsilon \cdot V / q \cdot N} \quad \dots (1)$$

ここに、 $\varepsilon$ はSiの誘電率、qは単位電荷、Nはn<sup>+</sup>拡散の濃度、Vはn<sup>+</sup>拡散層抵抗6と、pウェル5間のバイアス電圧値である。第5図において、n<sup>+</sup>拡散層抵抗6の右端ではV=2φF(φF:フェルミ電位)、左端ではV=(VDD+2φF)である。従って、n<sup>+</sup>拡散層抵抗6の左端の方が空乏層が厚くなって抵抗値が高くなる。第6図は、これを図示したものであり、空乏層7がn<sup>+</sup>拡散層抵抗6に食い込み、抵抗値を変化させることになる。そして、正確な抵抗分圧値からのオフセットは、累積効果でn<sup>+</sup>拡散層抵抗の中央部(分圧中間点)が一番大きくなる。

また、ビット数が多くなると、n<sup>+</sup>拡散層抵抗6が長くなり、面積的にも大きくなるので、製造工程による抵抗値のばらつきも無視できないものとなり、抵抗分圧の精度が落ちる。

(発明が解決しようとする課題)

- 4 -

の間に加えられる前記所定の電圧と同一の電圧を抵抗分圧し、この分圧点のうち少なくとも分圧中間点が前記第1の抵抗ラダー部の分圧中間点に接続された第2の抵抗ラダー部とを有することを要旨とする。

(作用)

上記構成において、第1導電形ウェル内に形成された第2導電形の拡散層抵抗と、第2導電形半導体基板内に形成された第1導電形の拡散層抵抗とでは、空乏層の影響による中間点の分圧電圧のオフセット量は正、負逆になる。従って、第1と第2の抵抗ラダー部の分圧中間点同士を共通接続することにより、そのオフセット量が打消されて正確な分圧電圧が出力される。また、2個の拡散層抵抗を並列使用することにより製造工程によるばらつきの影響が補償される。上述のように、空乏層による影響及び製造工程によるばらつきが補償される結果、抵抗分圧の精度が上げられる。

(実施例)

以下、この発明の実施例を図面に基づいて説明

- 5 -

- 6 -

する。

第1図及び第2図は、この発明の一実施例を示す図である。

なお、第1図、第2図及び後述の第3図において、前記第4図ないし第6図における部材及び部位等と同一ないし均等のものは、前記と同一符号を以て示し、重複した説明を省略する。

まず、D/A変換器の抵抗ラダーの構成を説明すると、この実施例の抵抗ラダーは、第1の抵抗ラダー部（抵抗値）10と、第2の抵抗ラダー部20との1対の抵抗ラダー部で構成されている。第1の抵抗ラダー部10は、第1図(a)に示すように、第2導電形の拡散層抵抗である $n^+$ 拡散層抵抗6により形成されている。また、第1図(b)に示すように、 $n$ 形半導体基板4の主面に $n$ ウェル8が形成され、この $n$ ウェル8の中の $p^+$ 拡散層抵抗9により、第2の抵抗ラダー部20が作られている。 $p^+$ 拡散層抵抗9の一端に電圧VDDが加えられ、他端は接地されている。 $n$ ウェル8には電圧VDDが加えられ、 $p^+$ 拡散層抵抗9は、 $n$

ウェル8から $p$  $n$ 接合分離されている。

なお、 $p^+$ 拡散層抵抗9と $n$ 形半導体基板4とのノイズ結合を避けるために、 $n$ ウェル8と $n$ 形半導体基板4との間に $p$ 形拡散層を形成し、これを接地するようにしてもよい。

そして、第2図(a)に示すように、第2抵抗ラダー部20の分圧中間点2aが第1抵抗ラダー部10の分圧中間点1aに接続され、その接続部から共通中間端子が取出されている。

一方、第2図(b)は、共通中間端子の他に、各出力端子（共通中間端子3-mを除く3-1、3-2、…、3-n）が、それぞれ共通接続されている。

次に、上述のように構成された抵抗ラダーの作用を説明する。

第1図(a)において、第1の抵抗ラダー部10である $n^+$ 拡散層抵抗6の中間点の本来の正確な分圧電圧は $VDD/2$ である。しかし、空乏層7の発生のために、 $n^+$ 拡散層抵抗6における電圧VDDの印加点側の抵抗が高くなり、中間点電圧

- 7 -

は $(VDD/2) - \Delta$ になる。 $\Delta$ は前記(i)式による空乏層の食い込みのために発生する抵抗値のオフセット量である。

一方、第1図(b)においては、空乏層7の発生のために、 $p^+$ 拡散層抵抗9の中間点電圧は $(VDD/2) + \Delta$ となる。 $n^+$ 拡散層抵抗6と $p^+$ 拡散層抵抗9の拡散濃度が等しければオフセット量 $\Delta$ は、第1図(a)と同図(b)とでは同一である。従って、第2図(a)に示すように、第1と第2の抵抗ラダー部10、20の分圧中間点同士を共通接続し、抵抗ラダー部全体の抵抗値をほぼ同一にしておけば、第1の抵抗ラダー部10の中間電圧 $(VDD/2) - \Delta$ と、第2の抵抗ラダー部20の中間点電圧 $(VDD/2) + \Delta$ とでオフセット量 $\Delta$ が打消され、本来の正確な中間点電圧 $VDD/2$ が出力される。

第2図(b)のように、第1と第2の抵抗ラダー部10、20の各出力端子3-1、3-2、…、3-nを共通接続しておけば、各出力についてオフセットの補償が一層確実になされる。

- 9 -

- 8 -

また、上述のように、空乏層の影響によるオフセット量の補償とともに、2個の拡散層抵抗6、9を並列使用することにより製造工程によるばらつきの影響も補償される。

次いで、第3図には、この発明の他の実施例を示す。

この実施例は、第1の抵抗ラダー部10となる $n^+$ 拡散層抵抗6の電源VDD側の近傍に、第2の抵抗ラダー部20となる $p^+$ 拡散層抵抗9の接地側を配置し、また $n^+$ 拡散層抵抗6の接地側の近傍に、 $p^+$ 拡散層抵抗9の電源VDD側を配置したものである。

第1の抵抗ラダー部10と第2の抵抗ラダー部20とは、各出力端子3-1、3-2、…、3-nがそれぞれ共通接続されている。第1の抵抗ラダー部10と第2の抵抗ラダー部20の各出力端子3-1、3-2、…、3-nの順序は、位置が逆になるので、その共通接続線11は、図示のように交差している。

この実施例の構成のようにすると、拡散層抵抗

- 10 -

6、9を作るときのイオン打込みにおいて、例えば酸化膜（これを通してイオンを打込む）の膜厚のばらつきにより、イオン打込み量にばらつきが生じ、従って抵抗値1、2にばらつきが生じて、そのばらつきの影響を補償することができる。例えば、第3図の上方の抵抗値が低く、下方の抵抗値が高くなるような場合を考えると、接続線11が交差して接続されているために、抵抗値の高い方と低い方とが互いに補償されることになる。このように酸化膜の膜厚のばらつき等に起因する抵抗値のばらつきが生じて、各出力端子3-1、3-2、…、3-nに生じる分圧電圧の精度を落さないようにすることができる。

$n^+$  拡散層抵抗6と $p^+$  拡散層抵抗9とは、別のイオン打込みで行うので、イオン打込み量自体のばらつきは前記一実施例の場合と比べて変わらないが、この実施例では、上述のように酸化膜厚のような製造工程上の他の共通要素で生じるばらつきを減らすことが可能となる。

従って、この実施例では、空乏層の影響による

分圧電圧のオフセット量を打消すことができるとともに、拡散層自体のばらつきの影響を一層少なくすることができる。

#### 〔発明の効果〕

以上説明したように、この発明によれば、その構成を、第2導電形の半導体基板の主面に形成された第1導電形ウェルと、この第1導電形ウェル内に形成された第2導電形の拡散層抵抗からなり、その一端と他端との間に加えられた所定の電圧を所要の複数個に抵抗分圧する第1の抵抗ラダー部と、前記半導体基板の主面に形成された第1導電形の拡散層抵抗からなり、その一端と他端との間に加えられる前記所定の電圧と同一の電圧を抵抗分圧し、この分圧点のうち少なくとも分圧中間点が前記第1の抵抗ラダー部の分圧中間点に接続された第2の抵抗ラダー部とを有するようにしたため、第1導電形ウェル内の第2導電形の拡散層抵抗と、第2導電形半導体基板内の第1導電形の拡散層抵抗とは、空乏層の影響による中間点の分圧電圧のオフセット量は、正、負逆になるので、

— 11 —

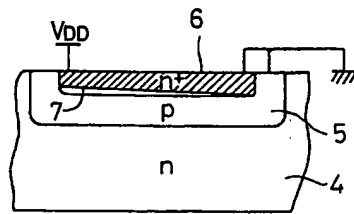
これを打消すことができ、また2個の拡散層抵抗を並列使用することにより製造工程によるばらつきの影響を補償することができて、抵抗分圧の精度を上げることができるという利点がある。

#### 4. 図面の簡単な説明

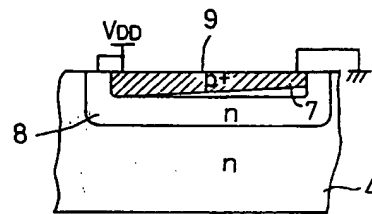
第1図はこの発明に係るD/A変換器の抵抗ラダーの一実施例を示す縦断面図、第2図は上記一実施例の回路構成を示す回路図、第3図はこの発明の他の実施例の回路構成を示す回路図、第4図は従来のD/A変換器の抵抗ラダーを示す回路図、第5図は上記従来例の構造を示す縦断面図、第6図は上記従来例の問題点を説明するための縦断面図である。

- 1、2：抵抗、 1a、2a：分圧中間点、
- 3-1、3-2、…、3-n：出力端子、
- 4：半導体基板、 5： $p$ ウェル、
- 6： $n^+$  拡散層抵抗 8： $n$ ウェル、
- 9： $p^+$  拡散層抵抗、
- 10：第1の抵抗ラダー部、
- 20：第2の抵抗ラダー部。

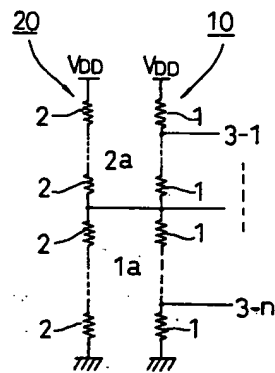
— 13 —



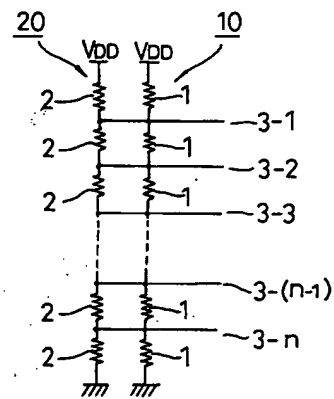
第 1 図 (a)



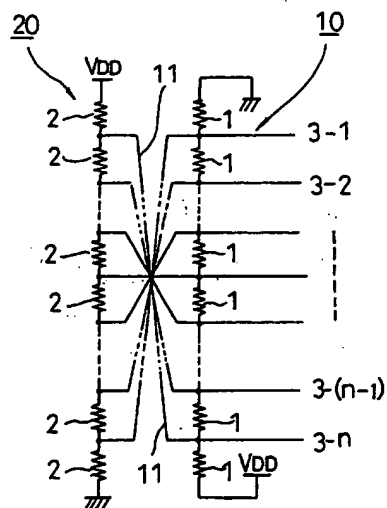
第 1 図 (b)



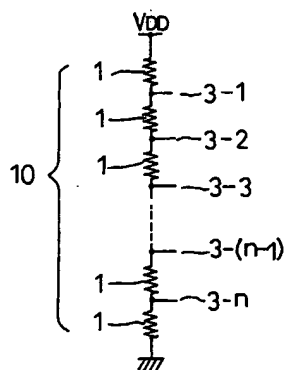
第 2 図 (a)



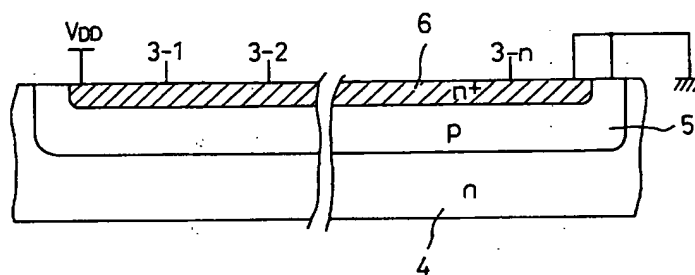
第 2 図 (b)



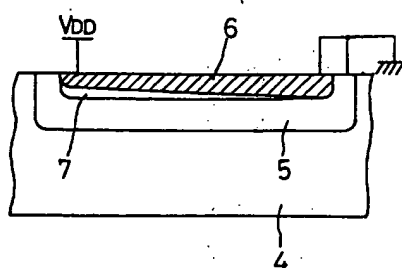
第 3 図



第 4 図



第 5 図



第 6 図